

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

B11

SILICON SUBSTRATE COMPOUND SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP5166724
Publication date: 1993-07-02
Inventor(s): OHORI TATSUYA
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP5166724
Application Number: JP19910353903 19911219
Priority Number(s):
IPC Classification: H01L21/20 ; H01L21/338 ; H01L29/812
EC Classification:
Equivalents:

Abstract

PURPOSE: To enable fine working such as photolithography by improving surface shape (morphology) and to improve yield by improving characteristics of a semiconductor device.

CONSTITUTION: After a single or a plurality of first compound semiconductor layers are grown on a silicon substrate 1, the surface of this first compound semiconductor layer 2 is mirror-polished, and further a single or a plurality of second compound semiconductor layers 3, 4, 5... are grown on it, thereby improving surface shape (morphology). Introducing In into a growing compound semiconductor layer relaxes dislocation to improve characteristics or prevents punchthrough of an etching stopper layer due to dislocation.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-166724

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/20

9171-4M

21/338

29/812

7739-4M

H 0 1 L 29/ 80

H

審査請求 未請求 請求項の枚10(全 17 頁)

(21)出願番号

特願平3-353903

(22)出願日

平成3年(1991)12月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 大堀 達也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

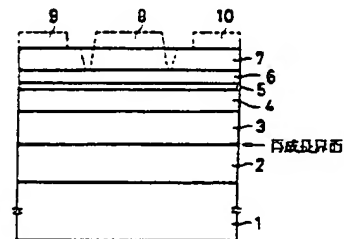
(54)【発明の名称】 シリコン基板化合物半導体装置とその製造方法

(57)【要約】

【目的】 シリコン基板化合物半導体装置とその製造方法に関し、表面形状（モホロジ）を改善してフォトリソグラフィ等の微細加工を可能にし、半導体装置の特性を向上し、歩留りを改善する。

【構成】 シリコン基板1の上に単数あるいは複数の第1の化合物半導体層2を成長した後、この第1の化合物半導体層2の表面を鏡面研削し、その上にさらに単数あるいは複数の第2の化合物半導体層3、4、5・・・を成長することによって表面形状（モホロジ）を改善する。また、成長する化合物半導体層にInを導入することによって、転位を緩和して特性を改善し、あるいは、転位によるエッチングストップ層のエッチングの突き抜けを防止する。

図1 実施例のシリコン基板化合物半導体装置の断面図



7: n-GaAs キャップ層	100nm	フッ素酸
6: n-AlGaAs 成長層	50nm	量子効果
5: i-AlGaAs/GaAs スペース層	2nm	$15 \times 10^{18} \text{cm}^{-3}$
4: i-GaAs:In 量子層	100nm	In 量子効果
3: AlGaAs/GaAs スペース層	500nm	10^{18}cm^{-3}
2: GaAs バッファ層	2.5μm	
1: Si 基板		
8: ゲート酸化膜		
9: ソース酸化膜		
10: ドレイン酸化膜		

【特許請求の範囲】

【請求項1】 シリコン基板と、その上に形成された最上層表面が鏡面研磨された単数あるいは複数の第1の化合物半導体層と、該第1の化合物半導体層の上に形成された単数あるいは複数の第2の化合物半導体層とを含むことを特徴とするシリコン基板化合物半導体装置。

【請求項2】 第2の化合物半導体層の第1層がAlGaAs層であり、その上にGaAs/AlGaAsあるいはGaAs/InGaPからなる選択ドープ構造が積層されていることを特徴とする請求項1に記載のシリコン基板化合物半導体装置。

【請求項3】 第2の化合物半導体層の第1層のAlGaAs層、あるいは、その上に積層されたGaAs/AlGaAsからなる選択ドープ構造のGaAs層とAlGaAs層のいずれか1層以上に 10^{19}cm^{-3} 以上のInが含まれ、その膜厚が臨界膜厚を越えないことを特徴とする請求項2に記載のシリコン基板化合物半導体装置。

【請求項4】 GaAs/AlGaAsからなる選択ドープ構造の、ゲート電極が形成されるAlGaAs層の表面の少なくとも2nm以上にInが含まれないことを特徴とする請求項3に記載のシリコン基板化合物半導体装置。

【請求項5】 選択ドープ構造の上に単数あるいは複数のAlGaAs層からなるエッチングストップ層を含むGaAsキャップ層が積層され、該エッチングストップ層に 10^{19}cm^{-3} 以上のInが含まれ、その膜厚が臨界膜厚を越えないことを特徴とする請求項2ないし請求項4のいずれか1項に記載のシリコン基板化合物半導体装置。

【請求項6】 選択ドープ構造を構成するGaAs/AlGaAsあるいはGaAs/InGaPの間に臨界膜厚以下でInAs組成比が0.1以上であるInGaAs層が挿入されていることを特徴とする請求項2に記載のシリコン基板化合物半導体装置。

【請求項7】 シリコン基板上に単数あるいは複数の第1の化合物半導体層を成長する工程と、該第1の化合物半導体層の表面を鏡面研磨する工程と、該鏡面研磨された第1の化合物半導体層の上にさらに単数あるいは複数の第2の化合物半導体層を成長する工程を含むことを特徴とするシリコン基板化合物半導体装置の製造方法。

【請求項8】 第1の化合物半導体層が、鏡面研磨された後に $0.5\mu\text{m}$ 以上の厚さを有することを特徴とする請求項7に記載のシリコン基板化合物半導体装置の製造方法。

【請求項9】 第2の化合物半導体層が、有機金属気相成長法によって形成され、成長時の雰囲気圧力が500 Torr以下であることを特徴とする請求項7または請求項8に記載のシリコン基板化合物半導体装置の製造方法。

【請求項10】 第2の化合物半導体層の膜厚が $1\mu\text{m}$ 以下であることを特徴とする請求項7ないし請求項9のいずれか1項に記載のシリコン基板化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコン基板上に形成したGaAs等の化合物半導体層を能動層あるいは電子走行層とするシリコン基板化合物半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 シリコン(Si)基板はガリウム砒素(GaAs)等の化合物半導体の基板と比較すると、電子移動度において劣ることを除き、軽量(密度)、熱伝導率、価格、機械的強度および大口径化が容易である点で勝っている。そのため、基板をSiとし、動作層をGaAsに代表される化合物半導体とした、例えば、GaAs on Si基板技術の開発が注目されている。

【0003】 GaAs on Si基板の製造技術には多くの解決すべき問題があるが、その中で次に挙げる3点が特に主要な問題とされている。

【0004】 (1) 結晶欠陥密度

動作層となるGaAsは基板のSiよりも熱膨張係数が3倍大きいので、成長温度(通常の成長方法では600℃から700℃の間であることが多い)から室温に降温する際に、熱応力によってGaAsに結晶欠陥が発生し、成長シーケンスの詳細によって異なるが、その欠陥密度は $10^6 \sim 10^9 \text{cm}^{-2}$ にも達し、これを用いて製造した半導体装置の特性に悪影響を与える。

【0005】 (2) 表面形状(モロロジ)

図7は、従来のシリコン基板化合物半導体層の表面のAFM顕微鏡写真である。

【0006】 この図は、従来の技術によってシリコン基板上に成長した膜厚 $3\mu\text{m}$ のGaAs層(GaAs on Si基板)の表面を原子間力顕微鏡(Atomic Force Microscope-Digital Instrument社製Nano Scope I I AFMと略称する。)を用いて観測した状態を示している。この図にみられるように、このGaAs on Si基板の表面には、縦横約2000nmで高さ20nm程度の多数の凹凸があるため、この層の上に微細な素子を形成する場合には問題があるものと考えられる。

【0007】 (3) ウェハの反り

上述のGaAs on Si基板は、動作層となるGaAsと基板のSiの熱膨張係数の差によって成長温度から室温に降温したとき凹型に反ってしまう。このウェハの反りは基板の口径が大きくなるほど顕著になり、フォトリソグラフィー工程において露光精度に問題が生じる等の支障を生じる。

【0008】 従来から、上述の諸問題を解決するために

種々の手法が検討されてきたが、その概要を、本発明に関連する限度で下記のように要約することができる。

【0009】〔基本技術〕図8(A)～(F)は、従来のシリコン基板化合物半導体層の製造工程説明図である。この図において、31はシリコン傾斜基板、32はアモルファスGaAs島状体、33はアモルファスGaAs層、34は第1GaAs層、35は第2GaAs層、36は第3GaAs層である。

【0010】以下、図8(A)～(F)によってシリコン基板化合物半導体層の基本的な製造方法を説明する。 10

【0011】第1工程(図8(A),(B)参照)
シリコン傾斜基板31を水素雰囲気中で1000℃程度に加熱して、シリコン傾斜基板表面に存在するSiO₂層を還元して除去する。この工程によってシリコン傾斜基板31の表面に2原子層の段差を有する階段構造が形成される。

【0012】第2工程(図8(C),(D)参照)
次に500℃程度の低温でMOCVDによってシリコン傾斜基板31の上にGaAsを成長する(低温バッファ層)。この工程においては、まず、シリコン傾斜基板 20 31の上の段差部にアモルファスGaAs島状体32が成長し、やがて隣接するGaAsの島状体32が合体してシリコン傾斜基板31の表面を覆いつくすアモルファスGaAs層33が成長する。

【0013】第3工程(図8(E)参照)
600℃程度の通常の成長温度まで昇温して低温バッファ層のアモルファスGaAs層33を結晶化して第1GaAs層34を形成する。

【0014】第4工程(図8(F)参照)
その上に、第2GaAs層35、第3GaAs層36を 30 従来から知られていた成長方法によって成長する。

【0015】上記の一連の製造工程は、2段階成長法(2-Step growth method)と呼ばれることが多いが、現在最も標準的なシリコン基板化合物半導体装置の製造方法である。しかし、ここで説明したのはあくまでも基本的な製造工程であって他に様々な製造工程が検討されている。

【0016】〔結晶欠陥(転位密度)の低減法〕シリコン基板上に成長したGaAs結晶層の結晶欠陥を低減する方法として従来から下記の方法が知られている。

① GaAs層の成長途中で温度を上昇あるいは降下して、熱膨張係数の差に起因してGaAs層中に発生する熱応力による結晶欠陥(転位)を強制的に成長層の横方向に逃がす。

② GaAs層の成長途中で横方向に歪みを生じさせるような格子定数に差がある材料層(例えばInGaAs層)を挿入して、格子定数の差に起因する歪みにより発生する転位を強制的に成長層の横方向に逃がす。

【0017】〔表面形状(モロロジ)の改善〕シリコン基板上に、AlAs、AlPのようにシリコンとの間の 50

結合エネルギーがなるべく大きい材料を最初の低温バッファ層に用いることによって、GaAs等の化合物半導体が島状に孤立して成長するのを抑制する。また、上記のほかに、選択成長や半導体層の成長後に行うアニールなど様々な手法が検討されている。

【0018】

〔発明が解決しようとする課題〕ところが、現在までに発表された論文、発明者等有するデータ、市販品から判断する限り、表面形状(モロロジ)の良好なGaAs on Si基板の製造は極めて困難であるということが出来る。それは図8(A)～(F)によって説明した基本的なGaAs on Si基板の結晶成長のメカニズムに起因するものであり、10nmから20nm程度の凹凸が発生するのを阻止することはきわめて困難である。

【0019】このように表面に凹凸があると、フォトリソグラフィー技術によって微細なパターンを形成する際に、その表面に一樣に焦点を結ばせることができず、加工精度を著しく劣化させる。特に、電子素子の動作特性を向上させるためにはサブミクロンオーダーの微細パターンを形成することが必須であり、現状の表面形状が改善されない限りGaAs on Si基板のこれら電子素子への応用は不可能である。

【0020】本発明は、上に掲げた問題のうち特に表面形状(モロロジ)を改善して、特性の優れたシリコン基板化合物半導体装置(GaAs on Si基板)を提供することを目的とする。

【0021】

〔課題を解決するための手段〕本発明にかかるシリコン基板化合物半導体装置においては、シリコン基板と、その上に形成された最上層表面が鏡面研磨された単数あるいは複数の第1の化合物半導体層と、該第1の化合物半導体層の上に形成された単数あるいは複数の第2の化合物半導体層とを含む構成を採用することによって、第2の化合物半導体層の表面形状を改善することができる。

【0022】この場合、第2の化合物半導体層の第1層をAlGaAs層にし、その上にGaAs/AlGaAsあるいはGaAs/InGaPからなる選択ドープ構造を積層することによって、選択ドープ構造の下層を高抵抗化することができる。

【0023】この場合、第2の化合物半導体層の第1層のAlGaAs層、あるいは、その上に積層されたGaAs/AlGaAsからなる選択ドープ構造のGaAs層とAlGaAs層のいずれか1層以上に10¹⁹cm⁻³以上のInが含まれ、その膜厚が臨界膜厚を越えないようにすることによって、その層の転位を緩和し、表面形状を改善することができる。

【0024】この場合、GaAs/AlGaAsからなる選択ドープ構造の、ゲート電極が形成されるAlGaAs層の表面の少なくとも2nm以上にInが含まれた

いようにすることによってゲート電極からのリーク電流を低減することができる。

【0025】この場合、選択ドープ構造の上に単数あるいは複数のAlGaAs層からなるエッチングストップ層を含むGaAsキャップ層を積層し、該エッチングストップ層に 10^{19}cm^{-3} 以上のInを含ませ、その膜厚を臨界膜厚を越えないようにすることによって、エッチングの突き抜けを防止することができる。

【0026】この場合、選択ドープ構造を構成するGaAs/AlGaAsあるいはGaAs/InGaPの間10に臨界膜厚以下でInAs組成比が0.1以上であるInGaAs層を挿入することによって大電流高速素子を形成することができる。

【0027】本発明にかかるシリコン基板化合物半導体装置の製造方法においては、シリコン基板上に単数あるいは複数の第1の化合物半導体層を成長する工程と、該第1の化合物半導体層の表面を鏡面研磨する工程と、該鏡面研磨された第1の化合物半導体層の上にさらに単数あるいは複数の第2の化合物半導体層を成長する工程を採用することによって、比較的容易に第2の化合物半導体層の表面形状を改善することができる。

【0028】この場合、第1の化合物半導体層を、鏡面研磨された後に $0.5\mu\text{m}$ 以上の厚さになるようにすることによって平坦な表面を得ることができる。

【0029】この場合、第2の化合物半導体層を、有機金属気相成長法によって形成し、成長時の雰囲気圧力を 500Torr 以下にすることによって、表面の平坦性を向上することができる。

【0030】この場合、第2の化合物半導体層の膜厚を $1\mu\text{m}$ 以下にすることによって、表面形状の劣化を抑制30することができる。

【0031】

【作用】本発明の基本的なコンセプトは極めて単純であり、要するにGaAs on Si基板の半導体層の一部を一旦成長した後、表面を鏡面研磨し、その上に素子形成用半導体層を再成長すると、再成長層の表面形状が良好になるというものである。

【0032】しかし、実際に上記のような実験を行ってみると、成長条件によって再成長半導体結晶層の表面形状は大きく異なるという結果が得られた。

【0033】図9は、MOCVDによりシリコン基板上に $0.6\mu\text{m}$ 成長したGaAs層の表面粗さの測定結果である。この図において、横軸は成長温度($^{\circ}\text{C}$)、縦軸は粗さ(A)を示している。

【0034】この図の曲線aは成長時の雰囲気圧力が 76Torr の場合の表面粗さをAFMによって測定した結果を示し、曲線bは成長時の雰囲気圧力が 760Torr (大気圧)の場合の表面粗さを示している。成長時の雰囲気圧力によって半導体結晶層の表面粗さは大きく異なり、雰囲気圧力が小さい程凹凸は小さくな50

り表面粗さは改善される。

【0035】この曲線aと曲線b、および、曲線aと曲線bの中間値における実験結果からみて、通常の半導体素子を形成するための半導体層としては、有機金属気相成長法(MOCVD)によって成長する場合、大気圧(760Torr)より低い雰囲気、特に、 500Torr 以下であることが好ましいことがわかった。ところが、分子線ビームエピタキシャル法(MBE)で半導体層の再成長を行うと、超高真空においては表面粗さ、あるいは、表面形状が劣化することがわかった。

【0036】図10は、超高真空MBEにより成長したGaAs層の表面のAFM顕微鏡写真である。この図から明らかなように、超高真空MBEによって成長したGaAs層の表面形状は蜂の巣構造状であり、必ずしも成長時の雰囲気圧力のみで表面形状が決定されているわけではないという結果が得られた。

【0037】図11は、超高真空MBEにより成長したシリコン基板GaAs層の表面のAFM顕微鏡写真である。この図によると、この方法によって成長した結晶層の平面内において 100nm 程度の大きさの凹凸が形成されていることがわかる。

【0038】図12は、図11のX-X'線における断面形状を示している。この図によると、X-X'線における断面形状において高さ 50nm 程度の凹凸が形成されていることがわかる。

【0039】このような凹凸が生じる原因については現在のところ完全に究明されるに至っていないが、MOCVDとMBEの違い、MOCVDの成長時の雰囲気圧力依存性等から考えて、水素と結合したAs原子の濃度が再成長結晶層(第2の化合物半導体層)の原子の配列に強い影響を与えるためではないかと推測される。また、第2の化合物半導体層の表面形状は、シリコン基板上に形成する第1の化合物半導体層であるGaAs層の表面を鏡面研磨した後の残り膜厚によっても異なることがわかった。

【0040】図13は、MOCVDにより成長したシリコン基板GaAs層の表面のAFM顕微鏡写真である。この図にかかる一連の実験によると、シリコン基板上に形成された第1の化合物半導体層であるGaAs層の残り膜厚が $0.5\mu\text{m}$ 程度より薄くなると再成長結晶(第2の化合物半導体層)の表面に大きな凹みが生じた。したがって、第1の化合物半導体層を鏡面研磨した後に、 $0.5\mu\text{m}$ 以上の膜厚を有するようにする必要があるということがわかる。

【0041】これは第1の化合物半導体層であるGaAsを成長する場合、その成長初期では極めて転移密度が大きく、その上に第2の化合物半導体層を成長するとき、この転移の上とそうでない領域では成長速度が異なるためと考えられ、この転移密度もまた表面形状に影響を与えるものと考えられる。

【0042】そこで、シリコン基板上に成長した第1の化合物半導体層であるGaAsの膜厚を0.5 μ mにし、その上にInAsの組成比が0.01 (10²⁰cm⁻³)のInGaAsを成長して、結晶表面形状を図13の場合と比較する一連の実験を行った。

【0043】図14は、0.5 μ mのGaAs層の上に成長したシリコン基板InGaAs層の表面のAFM顕微鏡写真である。この図から、InGaAs層の表面の凹みの深さが著しく減少していることがわかる。これは原子半径が大きいInが転位や転位付近の空格子点に入り込み易く、転位を緩和させるものと考えられる。このようにInをドーピングすることによって平坦性の良好なGaAs/AlGaAs選択ドープ構造を形成することができる。

【0044】第2の化合物半導体層の膜厚が厚くなるほど表面の凹凸が成長するから、この厚さを全体で1 μ m程度に抑えることが望ましい。

【0045】以上の実験結果を一般化すると、再成長結晶層(第2の化合物半導体層)の表面形状は、基板に到達するAs種(As-species)と、成長層中の転位に影響されるものと考えられ、再成長結晶の表面形状を改善する具体的な手法は下記のとおりと考えられる。

【0046】(1)500Torr以下の減圧MOCVDにより結晶層を成長するときのAs種(As-species)をコントロールする。

(2)鏡面研磨したGaAs on Si基板のGaAs層(第1の化合物半導体層)の残り膜厚を0.5 μ m以上となるべく大きくする。

(3)化合物半導体層中にInを導入して発生した転位を補償する。

(4)第2の化合物半導体層の膜厚を1 μ m以下となるべく薄くする。

【0047】

【実施例】以下、本発明の実施例を説明する。

【0048】(第1実施例)図1は、第1実施例のシリコン基板半導体装置の概略構成説明図である。この図の1はSi基板、2はGaAsバッファ層、3はAl_{0.35}Ga_{0.65}Asバッファ層、4はi-GaAs:In電子走行層、5はi-Al_{0.28}Ga_{0.72}Asスペーサ層、6はn-Al_{0.28}Ga_{0.72}As電子供給層、7はn-GaAsキャップ層、8はゲート電極、9はソース電極、10はドレイン電極である。

【0049】この図に示されたGaAs on Si型の選択ドープ構造を有する半導体装置の製造方法の概要を説明する。

【0050】第1工程(GaAs on Si基板)

Si基板1を水素雰囲気中で1000℃に加熱して表面の酸化膜を除去した後、基板温度を500℃に下げてMOCVDによってアモルファス状のGaAs層を500

A成長し、基板温度を650℃に上げてこのアモルファス状のGaAs層を単結晶化して厚さ3 μ mのGaAs層バッファ2を形成する。

【0051】このMOCVD法はこの技術分野でよく知られており、例えば文献(M. Akiyama, Y. Kawarada and K. Kaminishi: Japanese Journal of Applied Physics 23L843 1984)に記載されている。

【0052】第2工程(GaAs on Siの鏡面研磨)

単結晶化したGaAsバッファ層2の表面を、通常、成長用GaAs基板を製造する際に最終段階で行う表面研磨と同程度の鏡面研磨、すなわち、表面に次亜塩素酸ソーダの水溶液を塗布しながらバフ研磨を行う。この鏡面研磨によって、GaAsバッファ層2の表面を0.5 μ m除去し、エッチングによって平滑にし、残りの厚さを2.5 μ mとする。

【0053】第3工程(選択ドープ構造の成長)

鏡面研磨したGaAsバッファ層2の上に、減圧MOCVDによって下記の条件で複数層の第2の化合物半導体層を成長して選択ドープ構造を形成した。その後、n-GaAsキャップ層7のゲート領域をエッチングして露出したn-Al_{0.28}Ga_{0.72}As電子供給層6の上にゲート電極8を形成し、このゲート電極8を挟んでn-GaAsキャップ層7の上にソース電極9とドレイン電極10を形成してHEMTを完成する。

【0054】成長条件は下記のとおりである。

成長温度630℃

成長圧力76Torr

原料ガス

GaAs

TEGa (Triethylgallium)

AsH₃

AlGaAs

TMAI (Trimethylaluminum)

TEGa (Triethylgallium)

AsH₃

ドーパント

Si₂H₆

TMI (Trimethylindium)

【0055】なお、各原料ガスの流量を、成長速度が3~4A/secになるように設定した。成長速度が遅いほど表面が平坦化する傾向がみられた。また、TMGaよりもTEGaの方が表面が平坦になる傾向があった。

【0056】図1の構成の主要な材料および設計値は下記のとおりである。

7. n-GaAsキャップ層 厚さ100nm

ドナ温度1.5 \times 10¹⁸cm⁻³

6. n-Al_{0.28}Ga_{0.72}As電子供給層

厚さ50nm

ドナ温度 $1.5 \times 10^{18} \text{cm}^{-3}$

5. i-Al_{0.28}Ga_{0.72}As スペーサ層

厚さ2nm

4. i-GaAs:In 電子走行層

厚さ100nm

In 温度 1020cm^{-3}

3. Al_{0.35}Ga_{0.65}As バッファ層

厚さ300nm

2. GaAs バッファ層

厚さ2.5μm

1. Si 基板

【0057】この構造において、Si 基板1の上に形成されるGaAs バッファ層2の厚さは鏡面研磨後は2.5μmであって、大きい凹凸が生じる厚さである0.5μmより十分に厚くしてあるため、その上に成長したAl_{0.35}Ga_{0.65}As バッファ層3の表面の平坦性は良好であった。

【0058】また、n-Al_{0.28}Ga_{0.72}As 電子供給層6とi-Al_{0.28}Ga_{0.72}スペーサ層5とi-GaAs:In 電子走行層5によって選択ドープ構造が形成されている。またこのi-GaAs:In 電子走行層は、この層に導入された温度 1020cm^{-3} 以上のInによって転位が緩和されているが、実験の結果によると、 10^{19}cm^{-3} 程度の温度のInの導入によって転位の緩和効果が生じることが確かめられている。

【0059】また、n-Al_{0.28}Ga_{0.72}As 電子供給層6、i-Al_{0.28}Ga_{0.72}スペーサ層5等についても、上記のInの導入による転位の緩和効果が生じることが確かめられているが、n-Al_{0.28}Ga_{0.72}As 電子供給層6にInを導入する場合は、その上表面の少なくとも2nmにInが含まれないようにしてゲート電極の漏れ電流を抑制することが望ましい。

【0060】また、第1の化合物半導体層の最上層のGaAs バッファ層2の表面は、鏡面研磨において汚染さ*

移動度	on Si
(cm^2/Vs)	on GaAs
シート電子温度	on Si
(cm^{-2})	on GaAs

【0067】この実施例によるGaAs on Siのキャリア移動度は、室温におけるGaAs on GaAsのキャリア移動度の93%で、シート電子温度は両者はほとんど変わらず、室温動作を考える限り全く問題はない結果であった。

【0068】この実施例のGaAs on Si基板をMESFETに適用する場合は、上記のGaAs:In 電子走行層4はSiをドープしたGaAs:Inであってもよく、i-AlGaAs スペーサ層5より上の半導体層は形成されない。

【0069】また、本発明を、他の材料系例えば、Ga

*れており、そのまま第2化合物半導体層を成長すると、再成長界面に導電層が形成される可能性があるため、第2化合物半導体層の第1層を高抵抗化しやすいAlGaAs層を介挿してこの導電層を打ち消すようにすることが望ましい。

【0061】Inを導入したGaAs層あるいはAlGaAs層を複数層積層する過程で、適宜格子定数が等しくInを含まないGaAs層あるいはAlGaAs層を介挿することによって転位の発生を防ぐことができ

【0062】なお、上記のn-Al_{0.28}Ga_{0.72}As 電子供給層6とi-Al_{0.28}Ga_{0.72}スペーサ層5とで構成される選択ドープ構造は、n-InGaP 電子供給層とi-GaAs スペーサ層とで構成することもできる。

【0063】図2は、第1実施例のシリコン基板化合物半導体層の表面のAFM顕微鏡写真である。この図によると、半導体層の表面の凹凸の大きさは2~3nm程度であり、GaAs層の表面を研磨しない場合には表面の凹凸が20nm程度であったことと比較すると大幅に改善される。

【0064】この実施例では、再成長層の全膜厚を550nmとしたが、他の実験結果によると、半導体層表面の凹凸の大きさは成長膜厚が厚くなるにしたがって大きくなるから、2次元電子ガスの特性が劣化しない限度内であるべく薄く、例えば、通常のHEMTを製造する場合は1μm以下にする必要がある。

【0065】この実施例の半導体装置のホール測定を行い、移動度およびシート電子密度を測定したところ以下の表に示す結果が得られた。この測定結果と比較するために、Si基板を用いることなくGaAs基板上に同一構造のGaAs層を成長した場合の測定結果も示している。

【0066】

室温	77K
5280	21400
5690	30300
9.6×10^{11}	8.0×10^{11}
9.4×10^{11}	8.2×10^{11}

AsとInGaP、あるいはInAlAsとInGaAsを組合せた構造に適用することも可能である。そして、この実施例は、n-AlGaAs 電子供給層が下に配置され、キャリア走行層がその上に配置される逆構造のHEMTにも同様に適用できることはいうまでもない。

【0070】また、選択ドープ構造を構成するGaAs/AlGaAsあるいはGaAs/InGaPの間に臨界膜厚以下でInAs組成比が0.1以上であるInGaAs層を挿入することによって、大電流、高速動作が可能なHEMTを形成することができる。その理由は、電

子走行層近傍のInGaAs層にInを添加すると、その部分に多量の電子が滞留しやすくなって電子温度が大きくなり、かつ、このInGaAs層中における電子の走行速度が速いからである。

【0071】(第2実施例) 図3、図4、図5、図6は、第2実施例のシリコン基板化合物半導体装置の製造方法の工程説明図である。この図において、11はSi基板、12はGaAs第1バッファ層、13はAl_{0.35}Ga_{0.65}As:In第2バッファ層、14はAl_{0.28}Ga_{0.72}As第3バッファ層、15はi-GaAs:In電子走行層、16はi-Al_{0.28}Ga_{0.72}As:Inスペーサ層、17はn-Al_{0.28}Ga_{0.72}As電子供給層、18はn-GaAs第1キャップ層、19はn-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層、20はn-GaAs第2キャップ層、21、22はレジスト層、23はEモードゲート電極、24はDモードゲート電極である。

【0072】この実施例は本発明を半導体集積回路装置に適用した例である。この実施例における成長条件は、第1実施例と同様であるが、以下にその製造工程を説明する。

【0073】第1工程(図3参照)
Si基板11の上に、GaAs第1バッファ層12、Al_{0.35}Ga_{0.65}As:In第2バッファ層13、Al_{0.28}Ga_{0.72}As第3バッファ層14、i-GaAs:In電子走行層15、i-Al_{0.28}Ga_{0.72}As:Inスペーサ層16、n-Al_{0.28}Ga_{0.72}As電子供給層17、n-GaAs第1キャップ層18、n-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層19、n-GaAs第2キャップ層20を形成する。

【0074】第2工程(図4参照)
n-GaAs第2キャップ層20の上にレジスト層21を形成し、Eモードゲート領域に開口を形成し、この開口を通して、CCl₂F₂+Heガス中でドライエッチングしてEモードゲート領域のn-GaAs第2キャップ層20を除去する。このエッチングはその下のn-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層19の表面で停止する。その後、NH₃OH:HO₂=1:50のアンモニア希釈液を用いて1分程度ウェットエッチングしてEモードゲート領域のn-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層19を除去する。

【0075】第3工程(図5参照)
レジスト層21を除去し、新たなレジスト層22を形成し、Eモードゲート領域とDモードゲート領域に開口を形成する。これらの開口を通して第2工程と同様に、CCl₂F₂+Heガス中でドライエッチングしてのEモードゲート領域のn-GaAs第1キャップ層18とDモードゲート領域のn-GaAs第2キャップ層20を除去する。このエッチングはその下のEモードゲート領域のn-Al_{0.28}Ga_{0.72}As電子供給層17と、Dモ

ードゲート領域のn-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層19の表面で停止する。

【0076】第4工程(図6参照)

その後、NH₃OH:HO₂=1:50を用いてウェットエッチングして、Eモードゲート領域のn-Al_{0.28}Ga_{0.72}As電子供給層17の一部と、Dモードゲート領域のn-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層19を除去する。レジスト層22の開口を通して、Alを蒸着し、Eモードゲート電極23とDモードゲート電極24を形成する。レジスト層22を除去した後、n-GaAs第2キャップ層20の上に、先に形成したEモードゲート電極23およびDモードゲート電極24を挟んでそれぞれソース電極とドレイン電極を形成して完成する。

【0077】図6の構成の主要な材料および設計値は下記のとおりである。

20. n-GaAs第2キャップ層

厚さ60nm

ドナ温度 $1.5 \times 10^{18} \text{cm}^{-3}$

19. n-Al_{0.28}Ga_{0.72}As:Inエッチングストップ層

厚さ3nm

ドナ温度 $1.5 \times 10^{18} \text{cm}^{-3}$

18. n-GaAs第1キャップ層

厚さ7nm

ドナ温度 $1.5 \times 10^{18} \text{cm}^{-3}$

17. n-Al_{0.28}Ga_{0.72}As電子供給層

厚さ35nm

ドナ温度 $1.5 \times 10^{18} \text{cm}^{-3}$

30 16. i-Al_{0.28}Ga_{0.72}As:Inスペーサ層

厚さ2nm

15. i-GaAs:In電子走行層

厚さ100nm

In温度 10^{20}cm^{-3}

14. Al_{0.28}Ga_{0.72}As第3バッファ層

厚さ100nm

13. Al_{0.35}Ga_{0.65}As:In第2バッファ層

厚さ200nm

12. GaAs第1バッファ層 厚さ2.5μm

11. Si基板

【0078】この実施例が第1実施例と異なる点は、EモードHEMTとDモードHEMTを集積化した点であり、そのため、Inを導入する半導体層の数が増加し、選択ドーピング構造体の上部にエッチングストップ層としてInを導入したAlGaAs層を導入した点である。Inをドーピングした層の位置を増加したことにより、表面モホロジがさらに改善される効果がある。

【0079】この実施例のように多層成長したAlGaAs層、GaAs層等のエッチングストップ層は、転位密度がかなり残っていることが多く、エッチングはこの

転位点で進行し易いため突き抜けを生じる可能性がある。このような場合にエッチングストップ層にInを導入すると、Inが転位点に入りやすく、Inはエッチングされないためエッチングの突き抜けを防ぐことができる。

【0080】

【発明の効果】以上説明したように、本発明によると、シリコン基板上に成長した素子形成用化合物半導体結晶の表面形状（モホロジ）が画期的に改善され、微細電極構造の形成が可能となるとともに、フォトリソ工程における不良がなくなり、改善された電気特性と高信頼性を有するシリコン基板化合物半導体装置が得られ、高速動作可能な素子の低コスト化に寄与するところが大きい。

【図面の簡単な説明】

【図1】第1実施例のシリコン基板化合物半導体装置の概略構成説明図である。

【図2】第1実施例のシリコン基板化合物半導体層の表面のAFM顕微鏡写真である。

【図3】第2実施例のシリコン基板化合物半導体装置の製造方法の工程説明図（1）である。

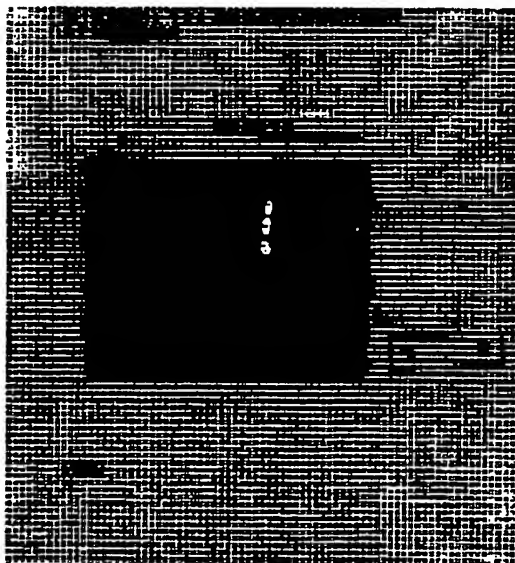
【図4】第2実施例のシリコン基板化合物半導体装置の製造方法の工程説明図（2）である。

【図5】第2実施例のシリコン基板化合物半導体装置の製造方法の工程説明図（3）である。

【図6】第2実施例のシリコン基板化合物半導体装置の製造方法の工程説明図（4）である。

【図7】従来のシリコン基板化合物半導体層の表面のA

【図2】



FM顕微鏡写真である。

【図8】（A）～（F）は、従来のシリコン基板化合物半導体層の製造工程説明図である。

【図9】MOCVDによりシリコン基板上に0.6 μm成長したGaAs層の表面粗さの測定結果である。

【図10】超高真空MBEにより成長したシリコン基板GaAs層の表面のAFM顕微鏡写真である。

【図11】超高真空MBEによる成長したシリコン基板GaAs層の表面のAFM顕微鏡写真である。

【図12】図11のX-X'線における断面形状を示している。

【図13】MOCVDにより成長したシリコン基板GaAs層の表面形状のAFM顕微鏡写真である。

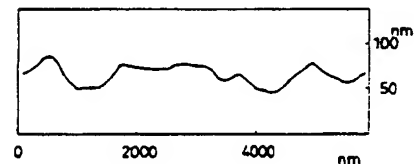
【図14】0.5 μmのGaAs層の上に成長したシリコン基板InGaAs層の表面のAFM顕微鏡写真である。

【符号の説明】

- 1 Si基板
- 2 GaAsバッファ層
- 3 Al_{0.35}Ga_{0.65}Asバッファ層
- 4 i-GaAs:In電子走行層
- 5 i-Al_{0.28}Ga_{0.72}Asスペーサ層
- 6 n-Al_{0.28}Ga_{0.72}As電子供給層
- 7 n-GaAsキャップ層
- 8 ゲート電極
- 9 ソース電極
- 10 ドレイン電極

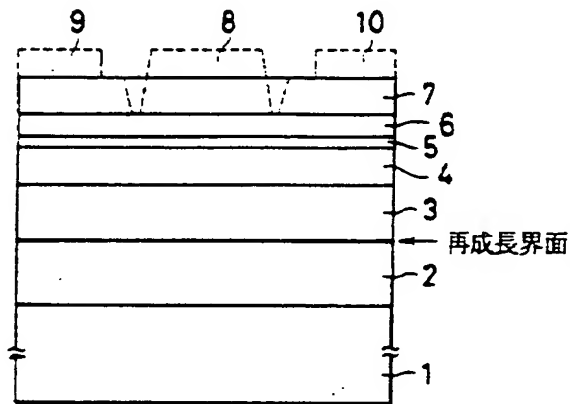
【図12】

図11のX-X'線における断面形状



【図1】

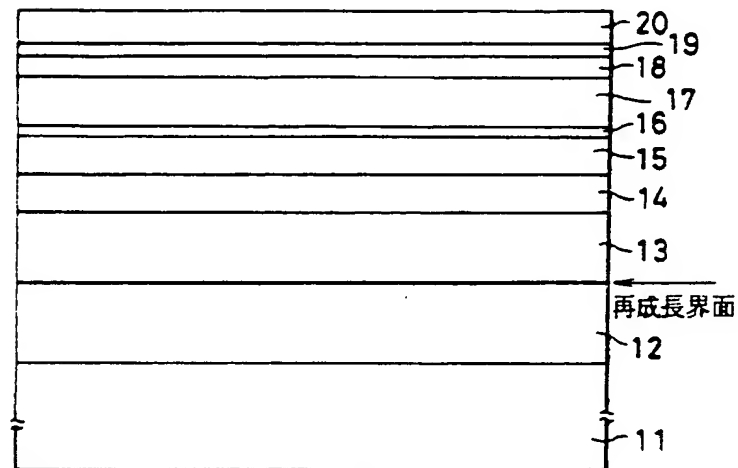
第1実施例のシリコン基板化合物半導体装置の概略構成説明図



- | | | |
|--|-------|--|
| 7 : n-GaAs キャップ層 | 100nm | ドナ濃度 $1.5 \times 10^{18} \text{cm}^{-3}$ |
| 6 : n-Al _{0.28} Ga _{0.72} As 電子供給層 | 50nm | |
| 5 : i-Al _{0.28} Ga _{0.72} As スペース層 | 2nm | |
| 4 : i-GaAs:In 電子走行層 | 100nm | In濃度 |
| 3 : Al _{0.3} Ga _{0.65} As バッファ層 | 300nm | 10^{20}cm^{-3} |
| 2 : GaAs バッファ層 | 2.5μm | |
| 1 : Si 基板 | | |
| 8 : ゲート電極 | | |
| 9 : ソース電極 | | |
| 10 : ドレイン電極 | | |

【図3】

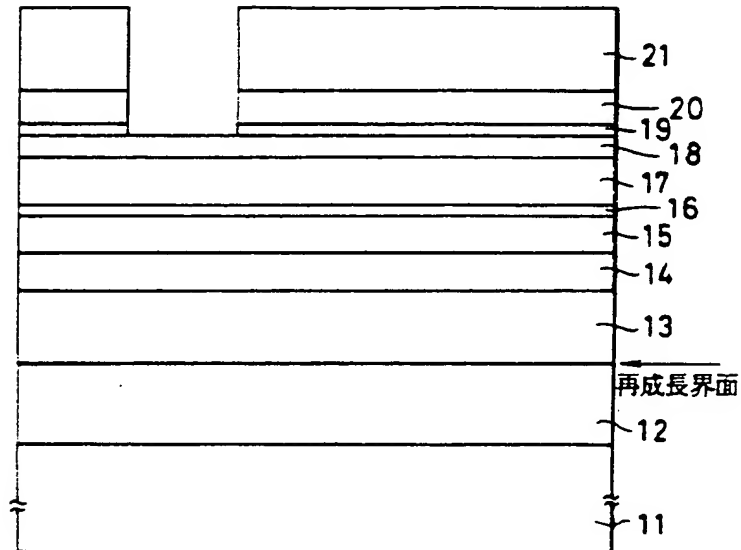
第2実施例のシリコン基板化合物半導体装置の製造方法の
工程説明図(1)



20	n-GaAs 第2 キャップ層	60nm	ドナ濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$
19	n-Al _{0.28} Ga _{0.72} As:In エッチング ストップ層	3nm	
18	n-GaAs 第1 キャップ層	7nm	
17	n-Al _{0.28} Ga _{0.72} As 電子供給層	35nm	
16	i-Al _{0.28} Ga _{0.72} As:In スペース層	2nm	
15	i-GaAs:In 電子走行層	100nm	
14	Al _{0.28} Ga _{0.72} As 第3 バッファ層	100nm	
13	Al _{0.35} Ga _{0.65} As:In 第2 バッファ層	200nm	
12	GaAs 第1 バッファ層	2.5 μm	
11	Si 基板		

【図4】

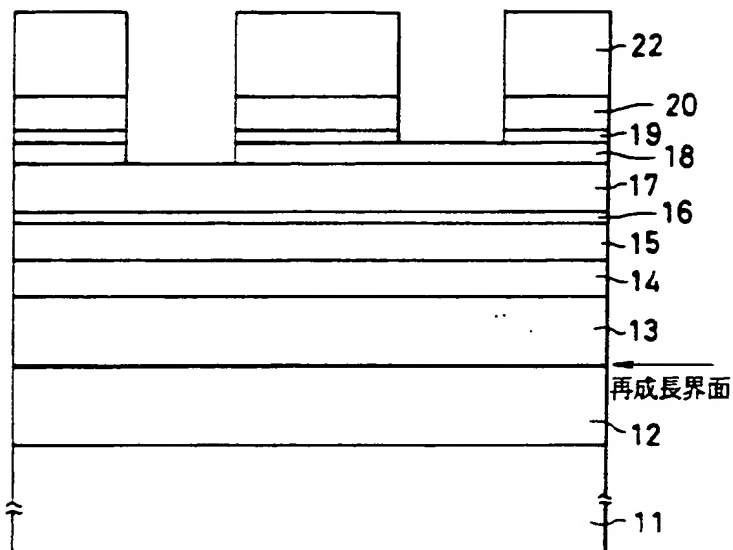
第2実施例のシリコン基板化合物半導体装置の製造方法の
工程説明図(2)



20 : n-GaAs 第2キャップ層	60nm	ドナ濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$
19 : n-Al _{0.28} Ga _{0.72} As:Inエッチング ストップ層	3nm	
18 : n-GaAs 第1キャップ層	7nm	
17 : n-Al _{0.28} Ga _{0.72} As 電子供給層	35nm	
16 : i-Al _{0.28} Ga _{0.72} As:Inスペーサ層	2nm	
15 : i-GaAs:In電子走行層	100nm	
14 : Al _{0.28} Ga _{0.72} As 第3バッファ層	100nm	
13 : Al _{0.35} Ga _{0.65} As:In第2バッファ層	200nm	
12 : GaAs第1バッファ層	2.5 μm	
11 : Si 基板		
21 : レジスト層		

【図5】

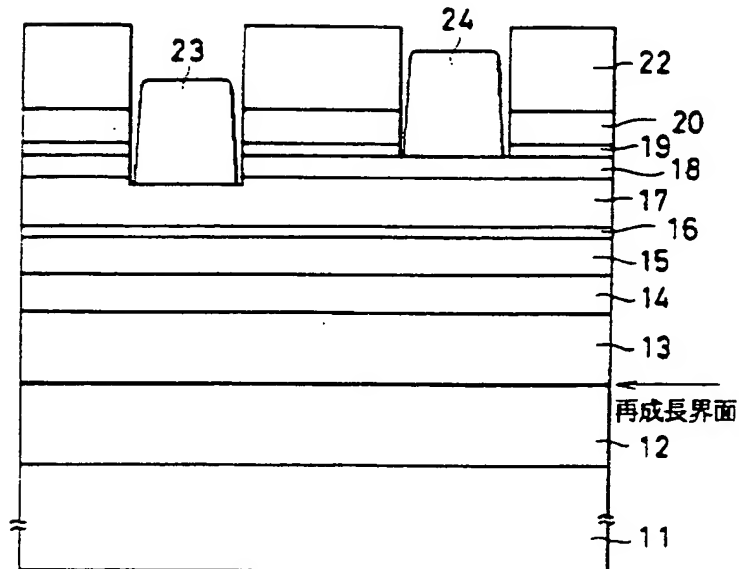
第2実施例のシリコン基板化合物半導体装置の製造方法の
工程説明図(3)



20 : n-GaAs 第2 キャップ層	60 nm	ドナ濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$
19 : n-Al _{0.28} Ga _{0.72} As:In エッチング ストップ層	3 nm	
18 : n-GaAs 第1 キャップ層	7 nm	
17 : n-Al _{0.28} Ga _{0.72} As 電子供給層	35 nm	
16 : i-Al _{0.28} Ga _{0.72} As:In スペース層	2 nm	
15 : i-GaAs:In 電子走行層	100 nm	
14 : Al _{0.28} Ga _{0.72} As 第3 バッファ層	100 nm	
13 : Al _{0.35} Ga _{0.65} As 第2 バッファ層	200 nm	
12 : GaAs 第1 バッファ層	2.5 μm	
11 : Si 基板		
22 : レジスト層		

【図6】

第2実施例のシリコン基板化合物半導体装置の製造方法の
工程説明図(4)

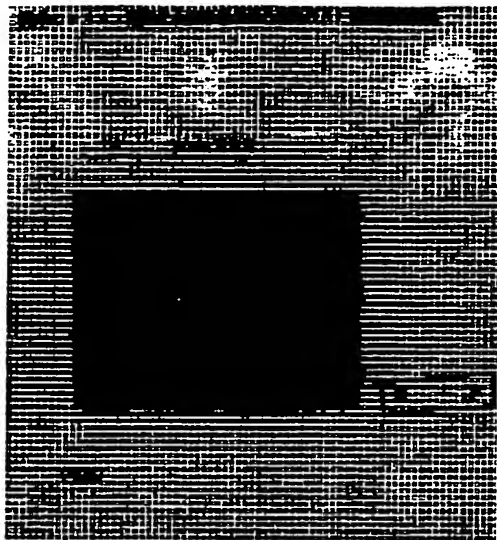


20	: n-GaAs 第2 キャップ層	60nm	ドナ濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$
19	: n-Al _{0.28} Ga _{0.72} As:In エッチング ストップ層	3nm	
18	: n-GaAs 第1 キャップ層	7nm	
17	: n-Al _{0.28} Ga _{0.72} As 電子供給層	35nm	
16	: i-Al _{0.28} Ga _{0.72} As:In スペース層	2nm	
15	: i-GaAs:In 電子走行層	100nm	
14	: Al _{0.28} Ga _{0.72} As 第3 バッファ層	100nm	
13	: Al _{0.35} Ga _{0.65} As:In 第2 バッファ層	200nm	
12	: GaAs 第1 バッファ層	2.5μm	
11	: Si 基板		
22	: レジスト層		
23	: Eモードゲート電極		
24	: Dモードゲート電極		

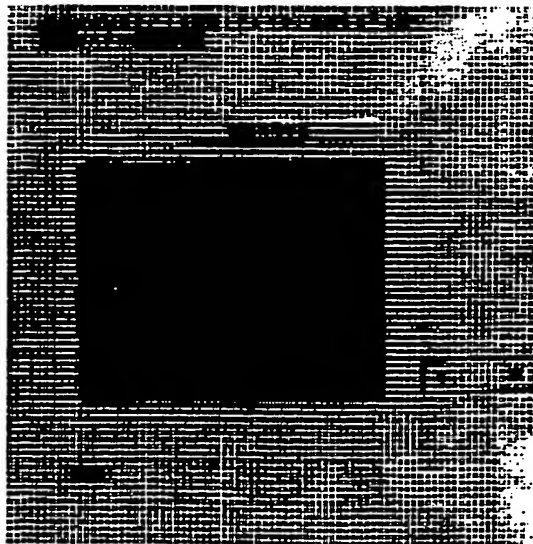
(14)

特開平 5-166724

【図7】

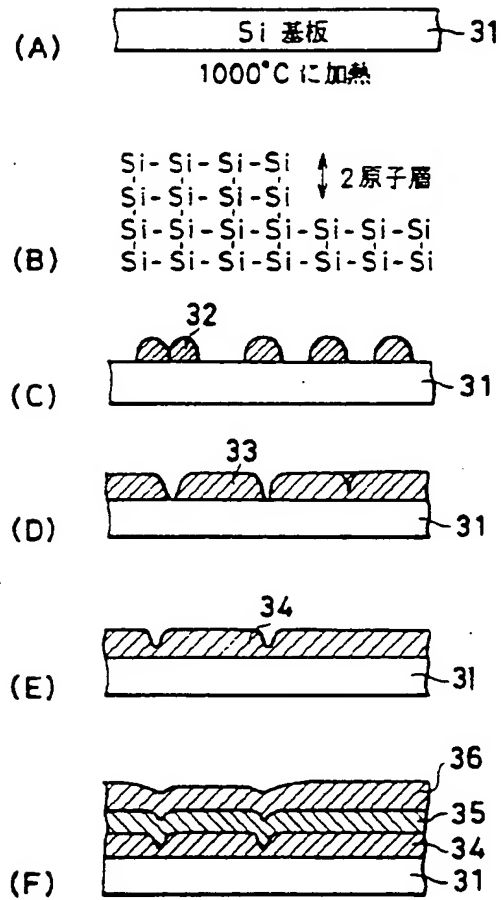


【図10】



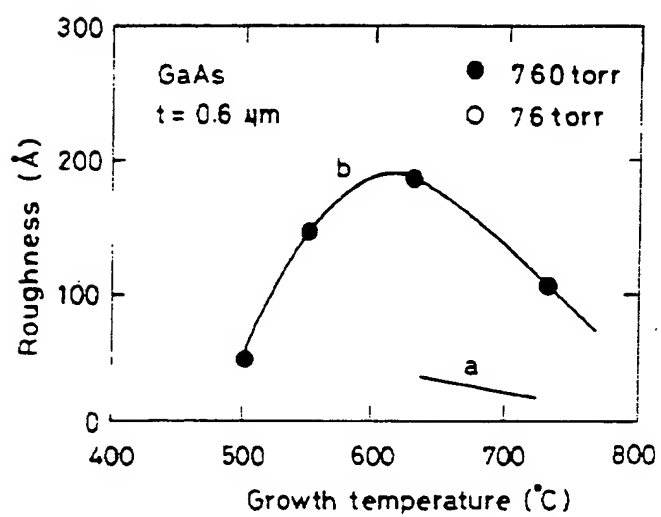
【図8】

従来のシリコン基板化合物半導体層の製造工程説明図

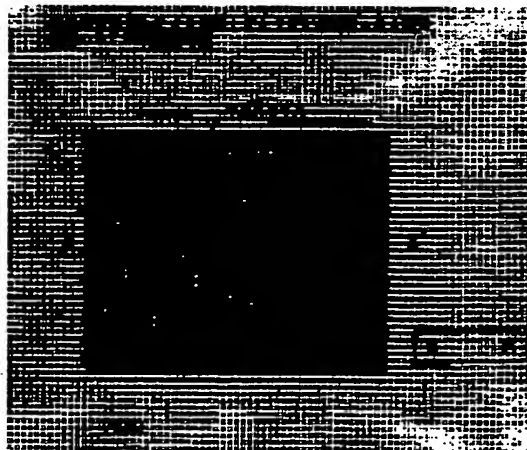


【図9】

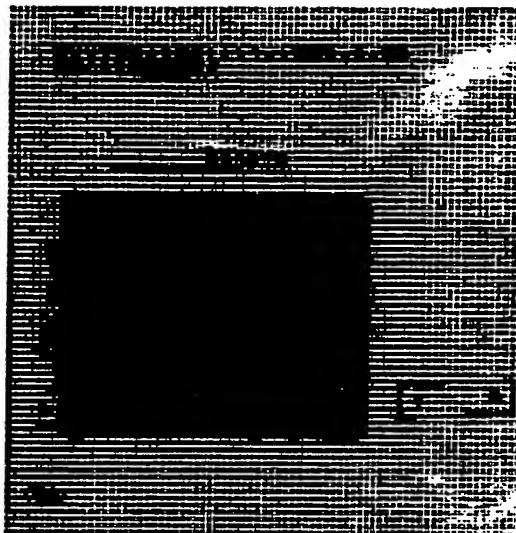
MOCVDによりシリコン基板上に $0.6\ \mu\text{m}$ 成長した
GaAs層の表面粗さの測定結果



【図11】



【図13】



【図14】

